

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-261025

(43)Date of publication of application : 17.09.1992

(51)Int.Cl.

H01L 21/3205  
H01L 21/28  
H01L 21/027  
H01L 21/302  
H01L 21/90

(21)Application number : 03-006839

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 24.01.1991

(72)Inventor : HAGI KIMIO

OBATA MASANORI

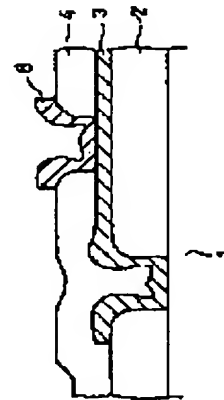
TAKESHITA NAOHIKO

## (54) SEMICONDUCTOR DEVICE PRODUCTION METHOD

## (57)Abstract:

PURPOSE: To suppress the occurrence of an oxide layer in the through hole by using hydrogen gas plasma for the ashing removal of the resist pattern which is used for the through hole opening mask.

CONSTITUTION: A resist pattern 5 is used for the mask, and a through hole 6 is opened selectively in the 2nd inter-layer insulation film 4 by an etching process. Next, the resist pattern 5 which was used for the opening mask of through hole 6 is removed by ashing. At this time, hydrogen gas plasma is used instead of oxygen gas plasma. In other words, by using hydrogen gas plasma for the ashing removal of the resist pattern 5, the amount of aluminum oxide layer 7 produced in the through hole 6 and thereby on the connecting surface of the 1st aluminum wiring layer 3, is suppressed as much as possible.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-261025

(43) 公開日 平成4年(1992)9月17日

(51) IntCl. <sup>5</sup>	識別記号	庁内整理番号	F 1	技術表示箇所
H 0 1 L 21/3205				
21/28		L 7738-4M		
21/027				
		7353-4M	H 0 1 L 21/88	C.
		7352-4M	21/30	3 6 1 R

審査請求 未請求 請求項の数1(全 4 頁) 最終頁に続く

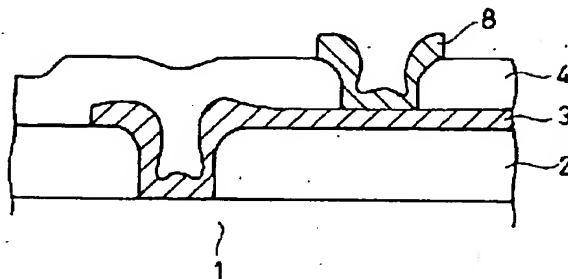
(21) 出願番号	特願平3-6839	(71) 出願人	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目2番3号
(22) 出願日	平成3年(1991)1月24日	(72) 発明者	萩 公男 兵庫県伊丹市瑞原4丁目1番地 三菱電機 株式会社北伊丹製作所内
		(72) 発明者	小畑 正則 兵庫県伊丹市瑞原4丁目1番地 三菱電機 株式会社北伊丹製作所内
		(72) 発明者	竹下 直彦 兵庫県伊丹市瑞原4丁目1番地 三菱電機 株式会社北伊丹製作所内
		(74) 代理人	弁理士 高田 守 (外1名)

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 多層配線構造における下層側の配線層のスルーホール内での酸化物層の発生を解消して、当該下層側の配線層に対する上層側の配線層の相互接続の信頼性を向上させる。

【構成】 スルーホールの開口用マスクとしてのレジストパターンのアッシング除去のために、水素ガスプラズマを用いるようにする。



1

## 【特許請求の範囲】

【請求項1】 下層側の層間絶縁膜を介して下層側の配線層をパターンニング形成させ、かつ当該下層側の配線層上に上層側の層間絶縁膜を形成させた上で、レジストパターンをマスクに用い、当該上層側の層間絶縁膜にスルーホールを選択的に開口させる工程と、前記スルーホールの開口後、当該スルーホールの開口に用いたレジストパターンを酸素ガスプラズマによってアッシング除去する工程と、前記スルーホールを通して下層側の配線層に接続される上層側の配線層をパターンニング形成する工程とを、少なくとも含むことを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、半導体装置の製造方法に関し、さらに詳しくは、半導体装置の製造における多層配線の形成方法の改良に係るものである。

【0002】

【従来の技術】 一般に、半導体装置の高集積化、微細化に伴い、当該装置に適用される配線構造としては、半導体基板上に絶縁膜を介して複数の配線層を積層させる構造、すなわち、いわゆる多層配線構造が広く採用されており、この多層配線構造については、現在、および今後の半導体装置の製造において、極めて重要な技術の一つになっている。

【0003】 ここで、図2(a)ないし(c)は従来例によるこの種の半導体装置の製造方法、この場合は、MOS(Metal Oxide Semiconductor)型ICにおける多層配線の形成方法の主要な工程を順次に示すそれぞれに断面図である。

【0004】 この従来例方法においては、まず、図2(a)に示されている如く、シリコン基板1上に下層側となる第1の層間絶縁膜2を介し、かつ所要部で活性層などに接続されるパターンニングした下層側となる第1のアルミ配線層3を堆積形成させると共に、当該第1のアルミ配線層3上にあって、上層側となる第2の層間絶縁膜4を形成させる。ついで、フォトリソグラフィ技術により当該第2の層間絶縁膜4に配線層相互間の接続部となるスルーホール6を選択的に開口させる。すなわち、ここでは、フォトリソグラフィ技術によりスルーホール6の開口部以外の部分をレジストパターン5により被覆させた状態で、例えば、“フッ酸系溶液による湿式エッチング、および  $\text{CHF}_3$  と  $\text{O}_2$  などを主成分ガスとする反応性イオンエッチングを組み合わせたデーパーエッチング法”によって、第2の層間絶縁膜4を選択的に除去してスルーホール6を開口させるのである。

【0005】 続いて、図2(b)に示されている如く、前記スルーホール6の開口後、当該スルーホール6の開口用マスクに用いたレジストパターン5については、酸素

2

ガスプラズマによって除去する(以下、アッシングと呼ぶ)が、このアッシングに際しては、スルーホール6内での第1のアルミ配線層3の表面が酸素プラズマに曝されるので、当該表面にアルミ酸化物層7が形成されることになる。

【0006】 さらに、図2(c)に示されている如く、前記と同様に、再度、フォトリソグラフィ技術、ならびにスパッタ法とエッチング法とを用い、スルーホール6を通して前記第1のアルミ配線層3に接続されるパターンニングした上層側となる第2のアルミ配線層8を堆積形成する。ここで、当該第2のアルミ配線層8の使用材料としては、Al-Si、Al-Si-Cu、Al-Cuなどのアルミ合金膜であってよい。その後、前記スルーホール6部における第1、第2の各アルミ配線層3、8の相互間でのミキシング状態の向上を図るために400℃ないし450℃程度の温度により熱処理を行ない、このようにして所期通りの多層配線構造を得るのである。

【0007】

【発明が解決しようとする課題】 従来のMOS型ICにおける多層配線構造は、前記の各工程を経て形成されており、ここでは、共にAlからなる第1、第2の各アルミ配線層3、8の相互間におけるスルーホール6内での断線、エレクトロマイグレーション耐量の低下などが配線接続の信頼性に大きく影響するために、当該スルーホール6部での熱処理によるミキシングが必要不可欠である。

【0008】 しかし、この従来方法の場合にあっては、前記したようにスルーホール6の開口後、酸素ガスプラズマによりレジストパターン5をアッシングする際に、当該スルーホール6内での第1のアルミ配線層3の表面、つまり、各配線の接続界面に相当する表面に、アルミ酸化物層7が形成されることから、当該アルミ酸化物層7の介在によって、これらの第1、第2の各アルミ配線層3、8相互の良好なミキシングがなされず、前記した断線、エレクトロマイグレーション耐量の低下などをきたすことになる。

【0009】 仍って、これを避けて安定なコンタクト特性を得るために、第2のアルミ配線層8を堆積させる前に、例えば、アルゴンガスプラズマによるスパッタエッチングを行なって、このアルミ酸化物層7を事前に除去するようにしているのであるが、必ずしも効果的な除去がなされるとは限られず、かつまた、多層配線の形成工程数が徒らに増加するという好ましくない問題点を生ずるものであった。

【0010】 この発明は、このような従来の問題点を改善するためになされたもので、その目的とするところは、多層配線構造における下層側の配線層のスルーホール内での酸化物層の発生を解消して、当該下層側の配線層に対する上層側の配線層の相互接続の信頼性を向上し得るようにした、この種の半導体装置の製造方法、こゝ

では、半導体装置の製造における多層配線の形成方法を提供することである。

#### 【0011】

【課題を解決するための手段】前記目的を達成するために、この発明に係る半導体装置の製造方法は、スルーホールの開孔用マスクとしてのレジストパターンのアッシング除去のために、水素ガスプラズマを用いるようにしたものである。

【0012】すなわち、この発明は、下層側の層間絶縁膜を介して下層側の配線層をパターンニング形成させ、かつ当該下層側の配線層上に上層側の層間絶縁膜を形成させた上で、レジストパターンをマスクに用い、当該上層側の層間絶縁膜にスルーホールを選択的に開口させる工程と、前記スルーホールの開口後、当該スルーホールの開口に用いたレジストパターンを水素ガスプラズマによってアッシング除去する工程と、前記スルーホールを通して下層側の配線層に接続される上層側の配線層をパターンニング形成する工程とを、少なくとも含むことを特徴とする半導体装置の製造方法である。

#### 【0013】

【作用】従って、この発明方法においては、スルーホール内での下層側の配線層表面、つまり換言すると、下層側の配線層と上層側の配線層との接続界面に生ずる酸化物層が、レジストパターンのアッシング除去に水素ガスプラズマを用いているために、従来方法のように酸素ガスプラズマを用いる場合とは異なって最小限の発生量に抑制されることになり、これによって当該接続界面における下層側、および上層側の各配線層相互の接続が良好になされ、スルーホール内でのこれらの両配線層間の断線、エレクトロマイグレーション耐量の低下などを効果的に防止できる。

#### 【0014】

【実施例】以下、この発明に係る半導体装置の製造方法の一実施例につき、図1を参照して詳細に説明する。

【0015】図1はこの発明方法の一実施例を適用して製造されたMOS型ICにおける多層配線構造の概要を模式的に示す断面図である。この図1に示す実施例方法において、前記図2に示す従来例方法と同一符号は同一または相当部分を表わしており、この実施例方法の場合、工程的には、レジストパターンのアッシング除去に際して、従来、用いられていた酸素ガスプラズマに代えて水素ガスプラズマを用いるようにするものであるから、ここでは、敢て最終的に得られる多層配線構造のみを示し、各形成工程については、従来工程を参照するものとする。

【0016】すなわち、この実施例方法においては、多層配線を以下の各工程に従い順次に形成する。まず、前記従来方法の場合と同様に、シリコン基板1上に下層側となる第1の層間絶縁膜2を介し、かつ所要部で活性層などに接続されるパターンニングした下層側となる第1の

アルミ配線層3を堆積形成させ、また、当該第1のアルミ配線層3上にあって、上層側となる第2の層間絶縁膜4を形成させる。ついで、フォトリソグラフィ技術によるレジストパターン5をマスクに用い、エッチング法により当該第2の層間絶縁膜4に配線層相互間の接続部となるスルーホール6を選択的に開口させる。

【0017】次に、前記スルーホール6の開口後、当該スルーホール6の開孔用マスクに用いたレジストパターン5のアッシング除去に際し、従来方法における酸素ガスプラズマに代え、この実施例方法では、水素ガスプラズマを用いる。すなわち、このようにレジストパターン5のアッシング除去に水素ガスプラズマを用いることにより、こゝでのスルーホール6内、ひいては、前記第1のアルミ配線層3での表面の接続界面におけるアルミ酸化物層7の発生量が可及的に少なくなるように抑制し得るのである。

【0018】さらに、前記従来方法の場合と同様に、再度、フォトリソグラフィ技術、ならびにスパッタ法とエッチング法とを用い、スルーホール6を通して前記第1のアルミ配線層3に接続されるパターンニングした上層側となる第2のアルミ配線層8を形成し、その後、前記スルーホール6部における第1、第2の各アルミ配線層3、8の相互間でのミキシング状態の向上のために400℃ないし450℃程度の温度により熱処理を行なうが、当該ミキシングについては、前記したようにアルミ酸化物層7の発生量が少なくされているために良好になされるもので、このようにして所期通りの多層配線構造を構成するのである。

【0019】なお、前記実施例においては、第1、第2の各配線層にアルミ膜を用いているが、これ以外の材料、例えば、双方、もしくは一方をタングステン、チタンなどの高融点金属、その他の合金、あるいは複合材などを用いてよく、また、2層以上の多層構造に適用することも可能であり、さらに、基板についても、必ずしもシリコン基板に限らないことは勿論である。

#### 【0020】

【発明の効果】以上詳述したように、この発明方法によれば、半導体装置の多層配線の形成において、下層側の層間絶縁膜を介して下層側の配線層をパターンニング形成させ、また、この下層側の配線層上にあって上層側の層間絶縁膜を形成させた上で、レジストパターンをマスクに用いて、上層側の層間絶縁膜にスルーホールを選択的に開口させ、さらに、このスルーホールの開口後、当該スルーホールの開口に用いたレジストパターンを水素ガスプラズマによってアッシング除去し、かつスルーホールを通して下層側の配線層に接続される上層側の配線層をパターンニング形成させるようにしたから、レジストパターン5のアッシング除去に水素ガスプラズマを用いることで、従来方法のように酸素ガスプラズマを用いる場合とは異なって、スルーホール内での下層側の配線層の表

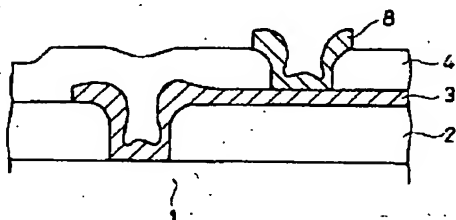
5

面、換言すると、下層側の配線層と上層側の配線層との接続界面に生ずる酸化物層を最小限に抑制でき、これによって当該接続界面における下層側、および上層側の各配線層相互の接続が良好になされ、スルーホール内でのこれらの両配線層間の断線、エレクトロマイグレーション耐量の低下などを効果的に防止でき、配線接続の信頼性を格段に向上し得るのである。

【図面の簡単な説明】

【図1】この発明方法の一実施例を適用して製造されたMOS型ICにおける多層配線構造の概要を模式的に示す断面図である。

【図1】



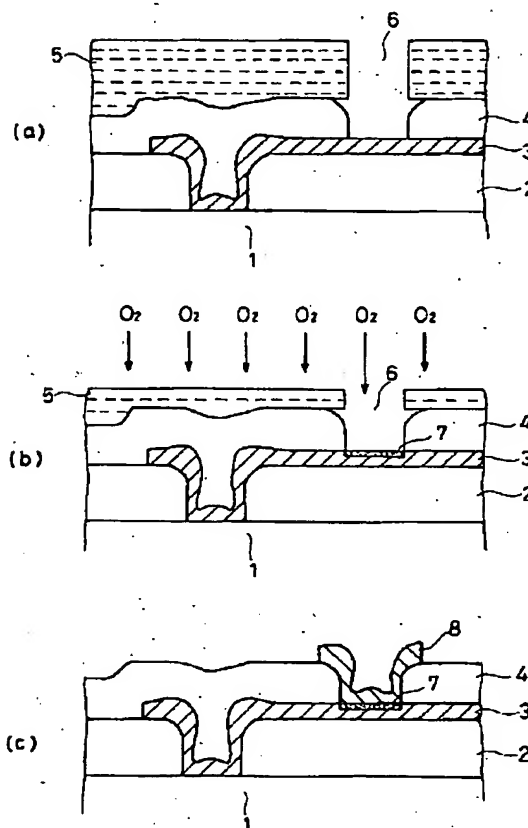
6

【図2】(a)ないし(c)は従来のMOS型ICにおける多層配線の形成方法の主要な工程を順次模式的に示すそれぞれに断面図である。

【符号の説明】

- 1 シリコン基板
- 2 第1の層間絶縁膜
- 3 第1のアルミ配線層(下層側の配線層)
- 4 第2の層間絶縁膜
- 5 レジストパターン
- 6 スルーホール
- 8 第2のアルミ配線層(上層側の配線層)

【図2】



フロントページの続き

(51) Int. Cl.<sup>5</sup>

H 0 1 L 21/302

21/90

識別記号

庁内整理番号

F I

技術表示箇所

M 7353-4M

J 7353-4M

F 7353-4M

C 7353-4M